



(19)

(11) Publication number: **04094545 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**

(21) Application number: 02213407

(51) Intl. Cl.: **H01L 21/331 H01L 21/265**  
**H01L 27/082 H01L 29/73**

(22) Application date: 10.08.90

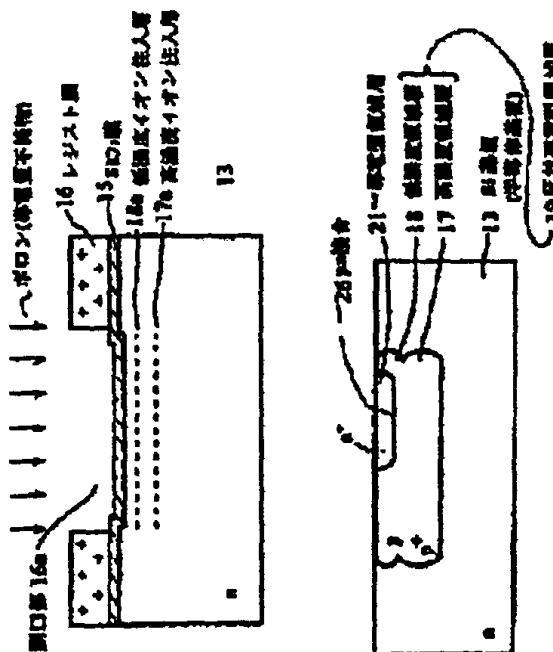
<p>(30) Priority:</p> <p>(43) Date of application publication: 26.03.92</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: <b>FUJITSU LTD</b></p> <p>(72) Inventor: <b>IRINO KIYOSHI</b></p> <p>(74) Representative:</p>
--	--

**(54) BIPOLAR TRANSISTOR**

(57) Abstract:

**PURPOSE:** To reduce reverse current at a base-collector junction and to suppress its dispersion by forming a reverse conductivity region layer having a shallow low-doped region layer and a deep high-doped region layer in a conductivity-I semiconductor substrate and by making this low-doped region layer incorporate a conductivity-I region layer.

**CONSTITUTION:** Boron ions are implanted into an n-type Si substrate 13 at an acceleration energy of about 1MeV and a dosage of  $3 \times 10^{14} \text{cm}^{-2}$  or more to form a P-type high-doped ion implanted layer 17a. Next, boron ions are implanted at an





60KeV and a dosage of about  $1 \times 10^{12} \text{cm}^{-2}$  to form a low-doped ion implanted layer 18a. Then, heat treatment is conducted for about 30min at a temperature of about  $1000^{\circ} \text{C}$  to form a high-doped region layer 17 and a low-doped region layer 18: these two layers serve as collector region layers 19 (reverse conductivity region layer). Successively, phosphorus ions are implanted selectively into the low-doped region layer 18 at an acceleration energy of about 160Kev and a dosage of about  $1 \times 10^{14} \text{cm}^{-2}$  to form a conductivity-I region layer 2. This process can provide vertical bipolar transistors of small absolute value of leakage current in a collector-base junction and small dispersion in hFE.

COPYRIGHT: (C)  
1992, JPO & Japio



94544(4)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平4-94545

⑫ Int. Cl.

識別記号 庁内整理番号

⑬ 公開 平成4年(1992)3月26日

H 01 L

21/331

21/265

27/082

29/73

7735-4M

H 01 L

29/72

7210-4M

27/08

1 0 1

7738-4M

21/265

B

H

F

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 バイポーラトランジスタ

⑮ 特 願 平2-213407

⑯ 出 願 平2(1990)8月10日

⑰ 発 明 者

入 野

清

神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人

弁理士 岡本 啓三

## 明 細 書

## 1. 発明の名称

バイポーラトランジスタ

## 2. 特許請求の範囲

(1) 一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、

前記高濃度領域層は、イオン注入により導電型不純物が導入されることにより形成され、かつ該導電型不純物のドーザ量が $1 \times 10^{11} \text{cm}^{-2}$ 以上であることを特徴とする半導体装置。

(2) 請求項1記載の反対導電型領域層がコレクタ領域層、かつ一導電型領域層がベース領域層であり、該ベース領域層内にエミッタ領域層を有することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (目次)

- ・概要
- ・産業上の利用分野
- ・従来の技術(第5図)

・発明が解決しようとする課題

・課題を解決するための手段

・作用

・実施例(第1図～第4図)

・発明の効果

## (概要)

半導体装置に関し、更に詳しく言えば、浅い低濃度領域層とイオン注入により形成される深い高濃度領域層とからなるコレクタ領域層と、コレクタの低濃度領域層内のベース領域層と、ベース領域層内のエミッタ領域層とを有する縦型バイポーラトランジスタに関し、

コレクタ抵抗を増大させることなく、ベース/コレクタ間のプロ接合でのリーク電流を低減し、かつそのバラツキを抑制することができる縦型バイポーラトランジスタを提供することを目的とし、

一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、



このため、バイポーラトランジスタの電流増幅率 ( $hFE$ ) を十分に高くできず、かつバラツキを十分に小さくできないという問題がある。

本発明は、かかる従来の問題点に鑑みてなされたもので、コレクタ抵抗を増大させることなく、ベース/コレクタ間の  $p-n$  接合での逆方向電流 (リーク電流) を低減し、かつそのバラツキを抑制することができる縦型バイポーラトランジスタ及びその製造方法を提供することを目的とするものである。

(課題を解決するための手段)

上記課題は、第1に、一導電型の半導体基板に、浅い低濃度領域層と深い高濃度領域層とからなる反対導電型領域層と、該低濃度領域層内の一導電型領域層とを具備し、前記高濃度領域層は、イオン注入により導電型不純物が導入されることにより形成され、かつ該導電型不純物のドーズ量が  $1 \times 10^{14} \text{ cm}^{-2}$  以上であることを特徴とする半導体装置によって解決され、

$n$  接合 26 の逆方向電流 ( $J_R$ ) の温度依存性 (第4図 (a)、(b)) を調査することにより行った。

第3図 (a) の試料の作成条件は、

ドーズ量  $3 \times 10^{12} \text{ cm}^{-2}$ 、 $6 \times 10^{12} \text{ cm}^{-2}$ 、

$1 \times 10^{14} \text{ cm}^{-2}$ 、 $3 \times 10^{14} \text{ cm}^{-2}$

アニール条件—温度1000℃、時間30分、

逆方向印加電圧—5 V

である。

第4図 (a) に示すように、ドーズ量が  $3 \times 10^{12} \text{ cm}^{-2}$ 、 $3 \times 10^{14} \text{ cm}^{-2}$  の場合は、逆方向電流 ( $J_R$ ) が、

$$J_R \propto \exp(-E_g/nkT)$$

$E_g$ : エネルギーバンドギャップ (Si の場合  
約 1.1 eV)

$k$ : ボルツマン定数

$T$ : 絶対温度

$n$ : 定数 (拡散電流が主体の場合—1、再結合電流が主体の場合—2)

に従うとき、 $n=1$  にほぼのっており、 $J_R$  (リ

第1の発明に記載の反対導電型領域層がコレクタ領域層、かつ一導電型領域層がベース領域層であり、該ベース領域層内にエミッタ領域層を有することを特徴とする半導体装置によって解決される。

(作用)

第2図、第3図 (a)、(b) 及び第4図 (a)、

(b) は、本願発明者の行った実験結果を示す。

実験に用いた試料は、第2図に示すように、 $n$  型の Si 基板 (半導体基板) に、浅い低濃度領域層 18 とイオン注入により形成された深い高濃度領域層 17 とからなる  $p$  型の反対導電型領域層 19 と、該低濃度領域層 18 内の  $n$  型の一導電型領域層 21 とを有するものを用いた。

実験は、この試料について高濃度領域層 17 の形成条件を種々変えて作成した。即ち、イオン注入のドーズ量の異なるものを4種類 (第3図 (a))、アニール温度の異なるものを3種類 (第3図 (b)) の計7種類の試料について、 $p$

ーク電流) は拡散電流が主体となっていることを示している。一方、ドーズ量  $6 \times 10^{12} \text{ cm}^{-2}$ 、 $1 \times 10^{14} \text{ cm}^{-2}$  の場合は、 $n=1/2$  にほぼのっており、 $J_R$  は再結合電流が主体となっていることを示している。拡散電流が主体のものは  $J_R$  の絶対値が小さい。また、別の  $J_R$  の分布調査により拡散電流が主体のものはバラツキも小さくなっている。

上記の実験結果より、次のようなことが推定される。

即ち、ドーズ量が最も小さい試料はもともと結晶欠陥が少ないので、 $J_R$  は拡散電流が主体で、かつ絶対値も小さい。逆に、ドーズ量が最も大きい試料は、結晶欠陥が最も多いと考えられるが、結晶欠陥が高濃度領域層 17 のほぼ中央部の最大濃度面 (平均濃度) 27 よりも深いところに存在し、かつ  $p-n$  接合 26 からの空乏層が最大濃度面 27 を越えて結晶欠陥の存在する部分まで広がらない。このため、空乏層には結晶欠陥が含まれないので、 $J_R$  は拡散電流が主体で、かつ絶対値も小さいと考えられる。しかし、ドーズ量が中

図のものはドーピング量が十分に大きくないことで空乏層の広がり大きくなり、また、結晶欠陥の発生を抑制するにはドーピング量が十分に小さくない。このため、印加電圧に対応して広がる空乏層中に結晶欠陥が含まれ、再結合電流が主体になっているものと考えられる。

第2図(b)の試料の作成条件は、(a)図の条件にドーピング量 $1 \times 10^{16} \text{ cm}^{-3}$ 、(c)図の条件にドーピング量 $1 \times 10^{16} \text{ cm}^{-3}$ 、アニーリング条件—温度 $1000^\circ\text{C}$ 、 $1050^\circ\text{C}$ 、 $1100^\circ\text{C}$ 、時間30分、逆方向印加電圧 $-5 \text{ V}$ である。

同図(b)に示すように、アニーリング温度 $1000^\circ\text{C}$ 、 $1050^\circ\text{C}$ 、 $1100^\circ\text{C}$ と温度が高くなるに従い、順次拡散電流が増加している。これは、アニーリング温度が高くなるに従い、拡散が進行して高濃度領域層17がSi基板13表面の方に広がり、このため、空乏層の広がり抑制され、空乏層中に結晶欠陥が含まれなくなってくるためと考えられる。特に、アニーリング温度が $1100^\circ\text{C}$ の場合、高濃度領域層17

のイオン衝撃の緩和のため、Si基板13上に $\text{SiO}_2$ 膜15を形成した後、レジスト膜16を形成する。続いて、溝14を目印としてレジスト膜16をパターニングしてコレクタ領域層を形成すべき領域に開口部16aを形成する。

次いで、Si基板13に加速エネルギー $1 \text{ MeV}$ 、ドーピング量 $3 \times 10^{16} \text{ cm}^{-3}$ でボロンをイオン注入する。これにより、平均飛程(Rp)が約 $2 \mu\text{m}$ の、ガウス分布を有するp型の高濃度イオン注入層17aが形成される。

次に、加速エネルギー $60 \text{ keV}$ 、ドーピング量 $1 \times 10^{16} \text{ cm}^{-3}$ でボロンをイオン注入し、平均飛程(Rp)が約 $0.3 \mu\text{m}$ の低濃度イオン注入層18aを形成する。

次いで、同図(c)に示すように、温度 $1000^\circ\text{C}$ で時間30分間加熱処理を行う。これにより、高濃度領域層17が形成されるとともに、高濃度領域層17とSi基板13表面との間に高濃度領域層17に接して厚さ約 $0.6 \mu\text{m}$ のp型の低濃度領域層18が形成される。これらの2層がコレクタ領

の最大濃度面27を超えて空乏層が結晶欠陥の存在する部分まで広がりきらず、J-R電流は拡散電流が主体になっている。

以上の実験結果より、ドーピング量 $1 \times 10^{16} \text{ cm}^{-3}$ 以上であれば、コレクタ抵抗を増大させることなく、アニーリング温度の調整によりリーク電流を低減させることが可能である。

(実施例) 以下、図面を参照しながら本発明の実施例について説明する。

第1図(a)～(e)は、本発明の実施例の縦型バイポーラトランジスタの作成方法について説明する断面図である。

まず、同図(a)に示すように、抵抗率 $1 \Omega \text{ cm}$ のn型のSi基板(半導体基板)13に選択的に溝14を形成する。これは後に形成するコレクタ領域層を形成するための位置合わせの目印となる。

次に、同図(b)に示すように、イオン注入の領域層19となる。

次いで、同図(d)に示すように、薄い $\text{SiO}_2$ 膜15を除去した後、新たに絶縁のための膜厚約 $300 \text{ nm}$ の厚い $\text{SiO}_2$ 膜20を形成する。続いて、低濃度領域層18内に選択的にリンを加速エネルギー $160 \text{ keV}$ 、ドーピング量 $1 \times 10^{16} \text{ cm}^{-3}$ でイオン注入して深さ約 $0.3 \mu\text{m}$ のn型のベース領域層(一導電型領域層)21を形成する。

次に、同図(e)に示すように、ベース領域層21内に選択的にボロンをイオン注入して深さ約 $0.2 \mu\text{m}$ のn型のエミッタ領域層22を形成する。

次いで、 $\text{SiO}_2$ 膜20にコレクタコンタクトホール、ベースコンタクトホール及びエミッタコンタクトホールを形成した後、それぞれのコンタクトホールを介してコレクタ領域19、ベース領域層21及びエミッタ領域層22と接続してコレクタ電極23、ベース電極24及びエミッタ電極25を形成すると縦型バイポーラトランジスタが完成する。

以上のようにして作成された縦型バイポーラトランジスタにおいては、高濃度領域層17を形成

するた  
cm<sup>3</sup>  
してい  
ばって  
じてい  
n接合2  
合26カ  
で広が  
このた  
ので、第  
の逆方向  
従来の場  
できる。  
小さくす  
なので、  
ばって  
キの小さ  
れる。  
なお、  
 $1 \times 10^{16}$   
ばって、  
領域層に  
合のリー  
バラツキ  
が得られ  
4. 図面  
第1図は  
ランジスタ  
第2図は  
る原理図、  
第3図は  
に用いた  
第4図は  
に用いた  
第5図は  
タの製造方  
(符号の  
1—Si基板  
2. 7. 1  
3. 16—



するため、通常よりも大きいドーズ量  $3 \times 10^{14}$   $\text{cm}^{-2}$  でイオン注入し、その後  $1000^\circ\text{C}$  で加熱処理している。

従って、Si 基板 13 内には多数の結晶欠陥が生じているにもかかわらず、コレクタ・ベース間の p-n 接合 26 に逆方向電圧を印加する場合、p-n 接合 26 からの空乏層が結晶欠陥の存在する部分まで広がりきらない。

このため、空乏層中には結晶欠陥が含まれないので、第 4 図 (a) に示すように、p-n 接合 26 の逆方向電流 (J<sub>R</sub>) は、拡散電流が主体となり、従来の場合と比較して絶対値を小さくすることができる。実験によれば、従来と比較して約 2 桁も小さくすることができた。また、拡散電流が主体なので、バラツキも小さくすることができる。

従って、hFE の絶対値が大きく、かつバラツキの小さい縦型バイポーラトランジスタのが得られる。

なお、第 4 図 (b) に示すように、ドーズ量が  $1 \times 10^{14} \text{cm}^{-2}$  以上であれば、アニール条件を適当

に選ぶことにより J<sub>R</sub> を小さくすることができる。

また、高温度領域層 17 を形成するためのイオン注入のドーズ量及びアニール温度の条件は、コレクタ・ベース接合 26 のブレイクダウン電圧が動作電圧以上になるように調整される必要がある。

#### (発明の効果)

以上のように、本発明の半導体装置によれば、高温度領域層を形成するため、通常よりも大きいドーズ量  $1 \times 10^{14} \text{cm}^{-2}$  以上でイオン注入しているので、半導体基板内には多数の結晶欠陥が生じているにもかかわらず、反対導電型領域層と一導電型領域層との間の p-n 接合に逆方向電圧を印加する場合、p-n 接合からの空乏層が結晶欠陥の存在する部分まで広がりきらない。

このため、空乏層中には結晶欠陥が含まれないので、p-n 接合の逆方向電流 (J<sub>R</sub>) は、拡散電流が主体となり、従来の場合と比較して絶対値が小さくなる。また、拡散電流が主体なので、バラツキも小さい。

従って、この高温度領域層を埋め込みコレクタ領域層に適用することによりコレクタ・ベース接合のリーク電流の絶対値が小さく、かつ hFE のバラツキの小さい縦型バイポーラトランジスタのが得られる。

#### 4. 図面の簡単な説明

第 1 図は、本発明の実施例の縦型バイポーラトランジスタの製造方法について説明する断面図、

第 2 図は、本発明の半導体装置について説明する原理図、

第 3 図は、本発明の作用・効果を説明する実験に用いた試料の導電型不純物の濃度分布を示す図、

第 4 図は、本発明の作用・効果を説明する実験に用いた試料の逆方向電流の温度依存性を示す図、

第 5 図は、従来例の縦型バイポーラトランジスタの製造方法について説明する断面図である。

#### (符号の説明)

- 1—Si 基板、
- 2, 7, 15, 20—SiO<sub>2</sub> 膜、
- 3, 16—レジスト膜、

4, 17—高温度領域層、

4a, 17a—高温度イオン注入層、

5, 18—低温度領域層、

5a, 18a—低温度イオン注入層、

6—コレクタ領域層、

8—ベース領域層、

9, 22—エミッタ領域層、

10, 23—コレクタ電極、

11, 24—ベース電極、

12, 25—エミッタ電極、

13—Si 基板 (半導体基板)、

14—溝、

16—第 1 のポリシリコン膜 (第 1 の導電膜)、

19—コレクタ領域層 (反対導電型領域層)、

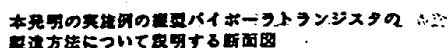
21—ベース領域層 (一導電型領域層)、

26—コレクタ・ベース接合 (p-n 接合)、

27—最大濃度面 (平均濃度: R<sub>p</sub>)、

特許出願人 富士通株式会社

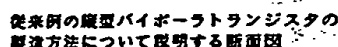
代理人 弁理士 岡本啓三



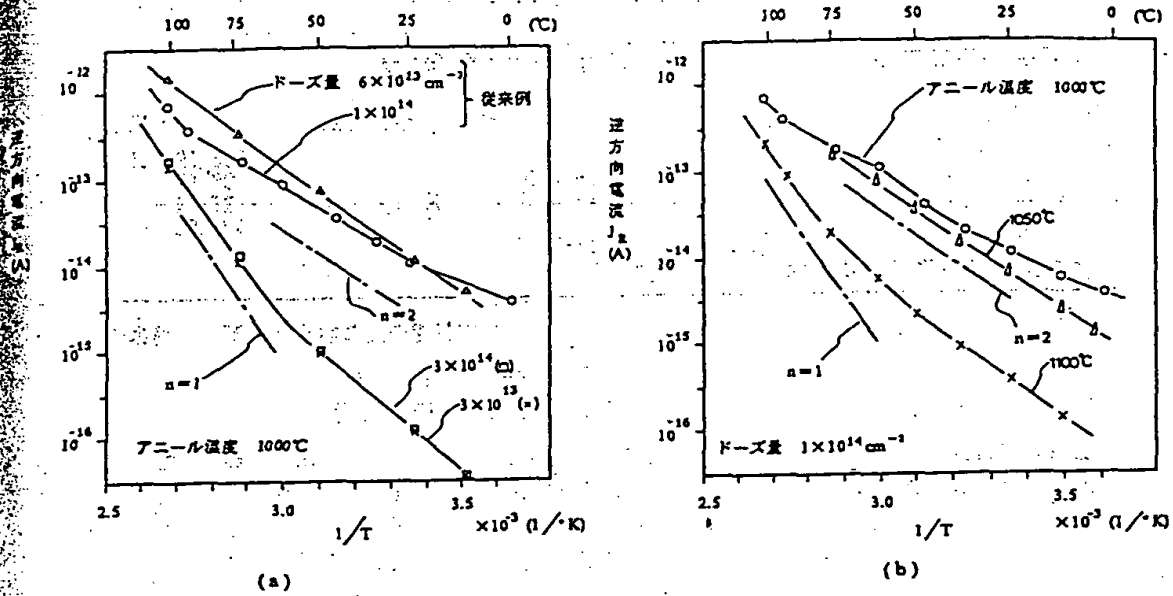
第1図 (その1)

第 3 图:  $\angle C = 90^\circ$  时,  $\angle A = 30^\circ$  的解法.

**第2圖**

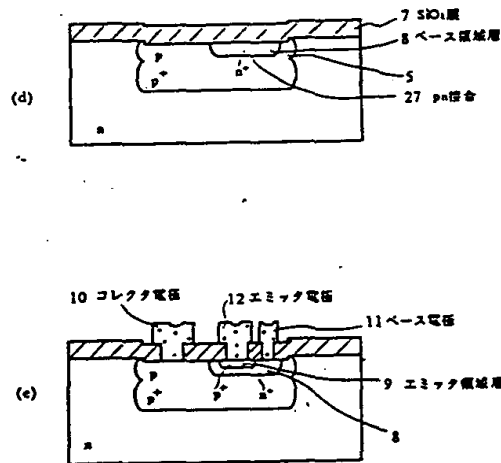


第 5 図 (その 1)



本発明の作用・効果を説明する実験に用いた  
試料の逆方向電流の温度依存性を示す図

第4図



従来例の縦型バイポーラトランジスタの  
製造方法について説明する断面図

第5図(その2)

# ATENTS ABSTRACTS OF JAPAN

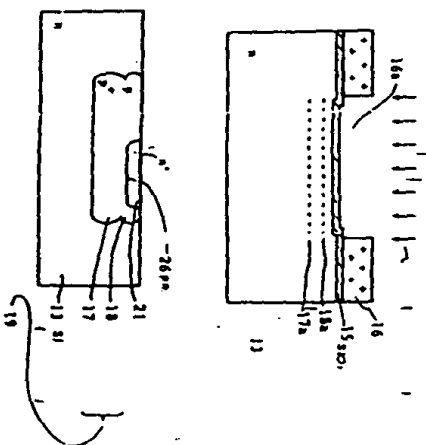
E-1234 July 15, 1992 Vol. 16/No. 324

## (54) BIPOLAR TRANSISTOR

- (11) 4-94545 (A) (43) 26.3.1992 (19) JP  
 (21) Appl. No. 2-213407 (22) 10.8.1990  
 (71) FUJITSU LTD (72) KIYOSHI IRINO  
 (51) Int. Cl. H01L21/331, H01L21/265, H01L27/082, H01L29/73

**PURPOSE:** To reduce reverse current at a base-collector junction and to suppress its dispersion by forming a reverse conductivity region layer having a shallow low-doped region layer and a deep high-doped region layer in a conductivity-I semiconductor substrate and by making this low-doped region layer incorporate a conductivity-I region layer.

**CONSTITUTION:** Boron ions are implanted into an n-type Si substrate 13 at an acceleration energy of about 1MeV and a dosage of  $3 \times 10^{14} \text{cm}^{-2}$  or more to form a P-type high-doped ion implanted layer 17a. Next, boron ions are implanted at an acceleration energy of about 60KeV and a dosage of about  $1 \times 10^{12} \text{cm}^{-2}$  to form a low-doped ion implanted layer 18a. Then, heat treatment is conducted for about 30min at a temperature of about 1000°C to form a high-doped region layer 17 and a low-doped region layer 18; these two layers serve as collector region layers 19 (reverse conductivity region layer). Successively, phosphorus ions are implanted selectively into the low-doped region layer 18 at an acceleration energy of about 160KeV and a dosage of about  $1 \times 10^{14} \text{cm}^{-2}$  to form a conductivity-I region layer 2. This process can provide vertical bipolar transistors of small absolute value of leakage current in a collector-base junction and small dispersion in hFE.



16: resist layer, 15: SiO<sub>2</sub> film, 26: pn junction, 16a: opening

## LEGENDE

- (54) Titel der Patentanmeldung (72) Anmelder in Japan  
 (11) Nummer der JP-A2 Veröffentlichung (71) Anmelder (72) Erfinder  
 (21) Aktenzeichen der JP-Anmeldung (52) Japanische Patentklassifikation  
 (43) Veröffentlichungsdatum (51) Internationale Patentklassifikation